

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JP1996181121A

1996-7-12

Bibliographic Fields

Document Identity

(19)【発行国】

日本国特許庁(JP)

(12)【公報種別】

公開特許公報(A)

(11)【公開番号】

特開平8-181121

(43)【公開日】

平成8年(1996)7月12日

Public Availability

(43)【公開日】

平成8年(1996)7月12日

Technical

(54)【発明の名称】

半導体装置の製造方法

(51)【国際特許分類第6版】

H01L 21/3065

21/28 L

21/768

【FI】

H01L 21/302 J

21/90 D

【請求項の数】

2

【出願形態】

OL

【全頁数】

6

Filing

【審査請求】

未請求

(21)【出願番号】

特願平6-325109

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 8 - 181121

(43) [Publication Date of Unexamined Application]

1996 (1996) July 12 days

(43) [Publication Date of Unexamined Application]

1996 (1996) July 12 days

(54) [Title of Invention]

**MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE**

(51) [International Patent Classification, 6th Edition]

H01L 21/3065

21/28 L

21/768

[FI]

H01L 21/302 J

21/90 D

[Number of Claims]

2

[Form of Application]

OL

[Number of Pages in Document]

6

[Request for Examination]

Unrequested

(21) [Application Number]

Japan Patent Application Hei 6 - 325109

JP1996181121A

1996-7-12

(22)【出願日】

平成6年(1994)12月27日

(22) [Application Date]

1994 (1994) December 27 days

Parties

Applicants

(71)【出願人】

【識別番号】

000002185

【氏名又は名称】

ソニー株式会社

【住所又は居所】

東京都品川区北品川6丁目7番35号

(71) [Applicant]

[Identification Number]

000002185

[Name]

SONY CORPORATION (DB 69-055-3649)

[Address]

Tokyo Prefecture Shinagawa-ku Kitashinagawa 6-7-35

Inventors

(72)【発明者】

【氏名】

藤田 繁

【住所又は居所】

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) [Inventor]

[Name]

Fujita complexity

[Address]

Inside of Tokyo Prefecture Shinagawa-ku Kitashinagawa 6-7-35 Sony Corporation (DB 69-055-3649)

Agents

(74)【代理人】

【弁理士】

【氏名又は名称】

高月 亨

Abstract

(57)【要約】

【目的】

エッチングストップ層を用いてコンタクトホール等の接続孔を形成する際、接続孔の不必要な広がりを抑制し、上層配線層の加工の余裕をとれるようにした半導体装置の製造方法を提供する。

【構成】

拡散層 5 が形成された半導体基板 12 上にエッチングストップとなる SiN(又は SiO₂)膜 9 を形成し、不純物含有のシリケートガラス膜 6(BPSG 膜)を形成し、この膜 6 上に、拡散層 5 に対するコンタクト部分以外の部分に開口を有する耐エッチングマスク 10(レジスト)を形成し、異方性エ

(74) [Attorney(s) Representing All Applicants]

[Patent Attorney]

[Name]

Takatsuki Toru

(57) [Abstract]

[Objective]

When forming contact hole or other connecting hole making use of etching stopper layer, unnecessary spreading of the connecting hole is controled, room of processing top layer metallization layer manufacturing method of the semiconductor device which it tries to be able to come off is offered.

[Constitution]

SiN (Or SiO₂) film 9 which becomes etching stopper on semiconductor substrate 12 where the diffusion layer 5 was formed is formed, silicate glass film 6 (BPSG film) of impurity content is formed, on this film 6, resistance etching mask 10 (resist) which possesses opening in the portion other than contact portion for diffusion layer 5 is formed, until SiN

exposes glass film 6 which is exposed in opening with anisotropic etching, the etching it does, forms SiO₂ film 7, Doing planarization, etching doing glass film 6 which is exposed with the selective etching etching doing SiN film etc of contact portion and exposing the diffusion layer 5, it forms electrode lead 8 which contact is done in diffusion layer 5 which it exposes.

- Page 3 Paterra Instant MT Machine Translation

前記コンタクト部分のシリコン窒化膜をエッチングして前記拡散層を露出させる工程と、

露出した前記拡散層にコンタクトする電極配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

拡散層が形成された半導体基板上にシリコン酸化膜を形成する工程と、

不純物ドーパのシリケートガラス膜を形成する工程と、前記シリケートガラス膜上に前記拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成する工程と、

異方性エッチングにより前記開口に露出するシリケートガラスを前記シリコン酸化膜が露出するまでエッチングする工程と、

シリコン酸化膜を形成し、平坦化を行う工程と、

選択エッチングにより露出するシリケートガラス膜をエッチングする工程と、

前記コンタクト部分のシリコン酸化膜をエッチングして前記拡散層を露出させる工程と、

露出した前記拡散層にコンタクトする電極配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

Specification

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体装置の製造方法に関する。

本発明は、例えば、微細化集積化した半導体装置(例えば MOS 集積回路)の製造方法として利用することができる。

【0002】

【従来技術及びその問題点】

従来より半導体装置の分野例えば MOS 集積回路において、微細な電極配線コンタクトを実現する方法として、セルフアラインコンタクトが考案されている。

その形成方法のひとつに、コンタクト形成エッチングを行うために等方性エッチングを行うととも

etching doing silicon nitride film of aforementioned contact portion, step. which exposes aforementioned diffusion layer

manufacturing method. of semiconductor device which possesses step which forms electrode lead which contact is done in aforementioned diffusion layer which it exposes and makes feature

[Claim 2]

step. which forms silicon oxide film on semiconductor substrate where diffusion layer was formed

step. which forms resistance etching mask which possesses opening in portion other than contact portion for aforementioned diffusion layer on the step. aforementioned silicate glass film which forms silicate glass film of impurity doped

Until aforementioned silicon oxide film exposes silicate glass which is exposed in aforementioned opening with anisotropic etching etching step. which is done

step. which forms silicon oxide film, does planarization

step. which silicate glass film which is exposed with selective etching etching is done

etching doing silicon oxide film of aforementioned contact portion, step. which exposes aforementioned diffusion layer

manufacturing method. of semiconductor device which possesses step which forms electrode lead which contact is done in aforementioned diffusion layer which it exposes and makes feature

[Description of the Invention]

【0001】

[Field of Industrial Application]

this invention regards manufacturing method of semiconductor device.

It can utilize this invention, as manufacturing method of semiconductor device (for example MOS integrated circuit) which for example narrowing integration is done.

【0002】

[Prior Art And Problems To Be Solved By The Invention]

From until recently self-aligning contact is devised as method which actualizes microscopic electrode lead contact in field for example MOS integrated circuit of semiconductor device.

As in one of formation method, isotropy etching is done in order to do contact formation etching, there is a technique

に、シリコン窒化膜などをこのときのエッチングストップパとして使用する手法がある。

これは、配線層間絶縁膜に使用するシリコン酸化膜と、エッチングストップパとしたシリコン窒化膜との選択比が大きくとれることを利用している。

【0003】

しかしその場合、図 12 に特に符号 A で示すように、層間絶縁膜 7 にサイド生じ、それによりコンタクトホール 1a の開口面積が不要に大きくなるという問題が生じる。

このため、コンタクトホール形成後に上層配線層を形成する場合、その上層配線層の加工のマージ小さくなくてはならぬ。

【0004】

なお図 12 中、符号 1 はポリシリコン膜、2 は WSi 膜、3 はオフセット酸化膜で、これらによりポリサイドゲート構造が形成されている。

符号 4 はサイドウォールである。

符号 5 は拡散層である。

符号 6 は BPSG 膜、7 は配線層間絶縁膜であり、ここに形成されるコンタクトホール 1a が、図の如く広がってしまう。

【0005】

【発明の目的】

本発明は、コンタクトホール等の接続孔の不必要な広がりを抑制し、上層配線層の加工の余裕をとれるようにした半導体装置の製造方法を提供せんとするものである。

【0006】

【目的を達成するための手段】

本出願の請求項 1 の発明は、拡散層が形成された半導体基板上にシリコン窒化膜を形成する工程と、不純物ドーパのシリケートガラス膜を形成する工程と、前記シリケートガラス膜上に前記拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成する工程と、異方性エッチングにより前記開口に露出するシリケートガラスを前記シリコン窒化膜が露出するまでエッチングする工程と、シリコン酸化膜を形成し、平坦化を行う工程と、選択エッチングにより露出するシリケートガラス膜をエッチングする工程と、前記コンタクト部分のシリコン窒化膜をエッチングして前記拡散層を露出させる

which uses silicon nitride film etc as the etching stopper of this time.

As for this, selectivity of silicon nitride film which is made silicon oxide film and the etching stopper which are used for insulator film between metallization layer comes off largely, it has utilized.

【0003】

But in that case, as in Figure 12 shown with especially symbol A, the side etching occurs in interlayer insulation film 7, problem that occurs opening area of the contact hole becomes unnecessarily large, with that.

Because of this, after contact hole forming, margin of processing the top layer metallization layer when top layer metallization layer is formed becomes small.

【0004】

Furthermore in Figure 12, as for symbol 1 polysilicon membrane, as for 2 as for WSi film, 3 with offset oxidized film, poly side gate structure is formed with these.

symbol 4 is sidewall.

symbol 5 is diffusion layer.

As for symbol 6 as for BPSG film, 7 as though contact hole 1a which is formed here with insulator film between metallization layer, is figure its spreads.

【0005】

【Objective】

It is something which this invention, room of processing top layer metallization layer tries will control unnecessary spreading of contact hole or other connecting hole, to offer manufacturing method of semiconductor device which it tries to be able to come off.

【0006】

{ means in order to achieve objective }

As for invention of Claim 1 of this application, Until aforementioned silicon nitride film exposes silicate glass which is exposed in aforementioned opening with step. anisotropic etching which forms resistance etching mask which possesses opening in portion other than contact portion for the aforementioned diffusion layer on step. aforementioned silicate glass film which forms the silicate glass film of step. impurity doped which forms silicon nitride film on semiconductor substrate where diffusion layer was formed step. silicon oxide film which etching is done is formed, etching doing silicon nitride film of step. aforementioned contact portion which the silicate glass film which is exposed with step. selective etching which does

工程と、露出した前記拡散層にコンタクトする電極配線を形成する工程とを有することを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0007】

本出願の請求項 2 の発明は、拡散層が形成された半導体基板上にシリコン酸化膜を形成する工程と、不純物ドーパのシリケートガラス膜を形成する工程と、前記シリケートガラス膜上に前記拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成する工程と、異方性エッチングにより前記開口に露出するシリケートガラスを前記シリコン酸化膜が露出するまでエッチングする工程と、シリコン酸化膜を形成し、平坦化を行う工程と、選択エッチングにより露出するシリケートガラス膜をエッチングする工程と、前記コンタクト部分のシリコン酸化膜をエッチングして前記拡散層を露出させる工程と、露出した前記拡散層にコンタクトする電極配線を形成する工程とを有することを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0008】

【作用】

本発明によれば、シリケートガラス膜上に拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成して、これをマスクにシリケートガラスをエッチングし、シリコン酸化膜を形成して平坦化を行い、その後選択エッチングにより露出するシリケートガラス膜をエッチングするようにしたので、コンタクトの不必要な広がりを防止して、半導体装置を製造することができ る。

【0009】

【実施例】

以下に、本発明の実施例を説明する。

但し、当然のことではあるが、本発明は以下の実施例により限定を受けるものではない。

【0010】

実施例 1

planarization etching is done, with manufacturing method of semiconductor device which step. which exposes theaforementioned diffusion layer possesses step which forms electrode lead which contact is done in aforementioned diffusion layer which is exposed and makes feature, it is something which because of this achievesabove-mentioned objective.

【0007】

As for invention of Claim 2 of this application, Until aforementioned silicon oxide film exposes silicate glass which is exposed in aforementioned opening with step. anisotropic etching which forms resistance etching mask which possesses opening in portion other than contact portion for theaforementioned diffusion layer on step. aforementioned silicate glass film which forms the silicate glass film of step. impurity doped which forms silicon oxide film on semiconductor substrate where diffusion layer was formed step. silicon oxide film which etching is done is formed, etching doing silicon oxide film of step. aforementioned contact portion which the silicate glass film which is exposed with step. selective etching which does planarization etching is done, with manufacturing method of semiconductor device which step. which exposes theaforementioned diffusion layer possesses step which forms electrode lead which contact is done in aforementioned diffusion layer which is exposed and makes feature, it is something which because of this achievesabove-mentioned objective.

【0008】

【Working Principle】

According to this invention, forming resistance etching mask which possesses opening in portion other than contact portion for diffusion layer on silicate glass film, this etching to do silicate glass in mask, forming silicon oxide film, to do planarization, because etching it tried to do silicate glass film which it exposes after that with selective etching, preventing unnecessary spreading of contact, semiconductor device can be produced.

【0009】

【Working Example(s)】

Below, Working Example of this invention is explained.

However, is obvious thing, but this invention is not something which receives limitation with Working Example below.

【0010】

Working Example 1

this working example being something regarding improvement of manufacturing method of semiconductor device, especially, is something which offers manufacturing method of the semiconductor device which improves electrode lead contact section for diffusion layer.

While referring to Figure 1 and Figure 2 or Figure 9 below, you explain the this working example.

[0011]

Figure 1 is something which shows structure after contact sectionforming of semiconductor device which relates to this working example with sectional view.

In Figure 1, as for symbol 1 polysilicon membrane, as for 2 as for the WSifilm, 3 with offset oxidized film, gate structure is formed with these.

symbol 4 is sidewall.

symbol 5 is diffusion layer.

As for symbol 6 as for BPSG film, 7 with insulator film between the metallization layer, contact hole which is a connecting hole 1a here is formed.

[0012]

Figure 2 or Figure 9 is sectional view which shows production step of MOS type semiconductor device with this Working Example .

[0013]

Regarding this working example, step which forms silicon nitride film 9 on semiconductor substrate 12 where diffusion layer 5 was formed and (Figure 2), step which forms silicate glass film 6 (Here BPSG film) of impurity doped and (Figure 3), on this silicate glass film 6, step which forms the resistance etching mask 10 (Here resist) which possesses opening in portion other than contact portion for diffusion layer 5 (Figure 3), Until aforementioned silicon nitride film 3 exposes silicate glass 6 which is exposed in aforementioned opening ~~with~~ ^{by} anisotropic ~~etching~~ ^{etching} step which silicate glass film 6 (Figure 6) which is exposed step which step which etching is done (Figure 4), forms silicon oxide film 7, does planarization (Figure 5), with selective etching etching is done (Figure 7), etching doing silicon nitride film of aforementioned contact portion, step which exposes diffusion layer 5 (Figure 8), It is something which possesses step and (Figure 9) which form the electrode lead 8 which contact is done in diffusion layer 5 which it exposes.

[0014]

Furthermore details as shown in Figure 2 regarding this working example, through gate oxide film on silicon substrate 12, form gate electrode with polysilicon membrane 1 and the

造)によりゲート電極を形成する。

ゲート電極上にはこれと同時にパターン形成されるCVDシリコン酸化膜3が積層されている(これはオフセット酸化膜と呼ばれている)。

これら電極とオフセット酸化膜の側壁には CVDシリコン酸化膜によるサイドウォール4を形成する。

その後不純物のイオン注入によりソース、ドレイン拡散層5を形成する。

その後エッチングストップ膜としてシリコン窒化膜9をCVDにば 形成する

【0015】

ここまでの工程は、従来技術におけると同様である。

【0016】

その後図3に示すように不純物含有シリケートガラスとしてボロン燐シリケートガラス膜(BPSG膜)6を形成する。

その後コンタクトホールと同じ大きさ(0.3-0.5 μ m)で、図3に示すような構造になるようにリソグラフィによりレジストパターンニングを行い、レジストマスク10を形成する。

【0017】

その後図4に示すま BPSG膜6の異方性エッチング(RIE)を行う。

ここでBPSG膜6のエッチングは図4に示すようにオフセット酸化膜3上のシリコン窒化膜9までをエッチングするようにする。

その後レジストマスク10をはく離する。

【0018】

その後図5に示すように配線層間絶縁膜7としてシリコン酸化膜を形成する。

ここでシリコン酸化膜はバイアスECR-CVD法により形成する。

このバイアスECR-CVDによって成膜されたシリコン酸化膜は熱酸化膜とほぼ変わらない膜質を有することがわかっている。

【0019】

その後図6に示すようにCMP(ケミカル・メカニカル・ポリッシュ)などにより平坦化を行う。

【0020】

その後図7に示すようにBPSG膜6のエッチン

WSifilm 2 (poly side structure).

CVD silicon oxide film 3 which pattern formation is done simultaneously with this to on the gate electrode is laminated, (This is called offset oxidized film.).

In these electrode and side wall of offset oxidized film sidewall 4 is formed with the CVD silicon oxide film .

After that source、 drain diffusion layer 5 is formed with ion implantation of impurity.

silicon nitride film 9 is formed with CVD after that as etching stopper film.

【0015】

step to here, when in Prior Art, is similar.

【0016】

After that as shown in Figure 3, boron phosphorus silicate glass film (BPSG film) 6 is formed as the impurity content silicate glass.

After that in order with same size (0.3 - 0.5; μ m) as contact hole, to become the kind of structure which is shown in Figure 3, resist patterning is done with the lithography , resist mask 10 is formed.

【0017】

After that as shown in Figure 4, anisotropic etching (RIE) of BPSG film 6 is done.

Here etching of BPSG film 6 as shown in Figure 4, etching tries todo to silicon nitride film 9 on offset oxidized film 3.

After that resist mask 10 peeling is done.

【0018】

After that as shown in Figure 5, silicon oxide film is formed as insulator film 7 between metallization layer.

It forms silicon oxide film here with bias ECR-CVD method .

silicon oxide film which film formation is done has film quality which almost is not different from thermally oxidized film with this bias ECR-CVD , you understand .

【0019】

After that as shown in Figure 6, planarization is done with CMP (chemical * mechanical * polish)etc.

【0020】

After that as shown in Figure 7, etching of BPSG film 6 is

グを行う。

ここでBPSG膜6のエッチングは、無水HF選択エッチングプロセスを使用する。

BPSG膜は吸湿性の膜なので無水HFと反応してエッチングが進むが、バイアス ECR-CVD 法により形成したシリコン酸化膜7はエッチングが進まない(この事実については、本発明者において詳細に検証済である)。

このためエッチング後の形状は図7のようにBPSG膜6のみが選択的にエッチングされる。

また、1aが不要に大きく開口することなくなる。

【0021】

その後図8に示すようにコンタクト部分に露出するシリコン窒化膜9の異方性エッチング(RIE)を行う。

この場合のシリコン窒化膜のエッチング条件は、シリコン酸化膜との選択比が大きくとれる条件で行う。

【0022】

以上、本実施例ではコンタクトホールエッチングに無水HFによる選択エッチングを行うことにより、コンタクトホールを不要に大きくすることなく形成でき、従来問題点を解決する。

【0023】

本実施例によれば、コンタクトホールが不要に大きく広がらないために、上層配線層の加工が行い易くなる。

具体的には上層配線層のリソグラフィパターンニングのマージンが大きくなる、上層配線層のエッチング時のマージンが大きくなる、本コンタクトホールに対する上層配線層のかぶり部分が小さくできるため、上層配線層のデザインに余裕が生じる、などの効果が得られる。

【0024】

実施例2

次に上記実施例1の変形例を実施例2として、図10及び図11を参照しながら説明する。

【0025】

実施例1ではエッチングストッパとしてシリコン窒化膜を使用した、本実施例ではエッチングストッパとして図10に示すようにシリコン酸化膜11を使用する。

done.

etching of BPSG film 6 uses anhydrous HF selective etching process here.

Because BPSG film is film of moisture absorption, reacting with anhydrous HF, etching advances, but as for silicon oxide film 7 which was formed with the bias ECR-CVD method etching does not advance, (Concerning this fact, it is a verification end in detail in this inventor.).

Because of this as for shape after etching like Figure 7 only BPSG film 6 is done selectively etching.

In addition it becomes without either contact hole 1a opening unnecessarily largely.

【0021】

After that as shown in Figure 8, anisotropic etching (RIE) of silicon nitride film 9 which is exposed in contact portion is done.

It does etching condition of silicon nitride film in this case, with condition where the selectivity of silicon oxide film comes off largely.

【0022】

Be able to form contact hole without enlarging unnecessarily above, with this working example by in contact hole etching doing selective etching with anhydrous HF, the aforementioned conventional problem is solved.

【0023】

According to this working example, because contact hole does not spread unnecessarily largely, processing top layer metallization layer is likely to do.

Concretely margin of lithography patterning of top layer metallization layer becomes large, because margin at time of etching of top layer metallization layer becomes large, can make fogging portion of top layer metallization layer for this contact hole small, room occurs in the design of top layer metallization layer, or other effect is acquired.

【0024】

Working Example 2

While next referring to Figure 10 and Figure 11 with modified example of the above-mentioned Working Example 1 as Working Example 2, you explain.

【0025】

With Working Example 1 silicon nitride film was used as etching stopper, but as with this working example shown in Figure 10 as etching stopper, silicon oxide film 11 is used.

このシリコン酸化膜 11 は、バイアス ECR-CVD 法により形成した。

または LP-CVD により形成したシリコン酸化膜をアニールして形成することもできる。

層間絶縁膜 7 形成後の構造を図 10 に示し、上層配線 8 形成後の構造を図 11 に示す。

【0026】

その他の形成方法については実施例 1 と変わらないが、コンタクト部分のシリコン酸化膜 11 のエッチング(実施例 1 では図 8 のシリコン窒化膜エッチングに相当)の時には、配線層間絶縁膜 7 がシリコン酸化膜 11 と同じ膜厚だけエッチングされることになる。

【0027】

従って本実施例 2 においては、図 11 に示すように配線層間絶縁膜 7 はあらかじめその分だけ厚く形成する必要がある。

図 10 中エッチング前の厚さを T_1 で示し、図 11 に T_2 でエッチング後の厚さを示す。

その差 $T_1 - T_2$ の分だけ、厚く形成しておく必要があるわけである。

【0028】

即ち本実施例は、拡散層が形成された半導体基板 12 上にシリコン酸化膜 11 を形成する工程と、不純物ドーパのシリケートガラス膜 6(ここでは BPSG 膜)を形成する工程と、前記シリケートガラス膜 6 上に、拡散層 5 に対するコンタクト部分以外の部分に開口を有する耐エッチングマスク 10 を形成する工程と、異方性エッチングにより前記開口に露出するシリケートガラス 6 を前記シリコン酸化膜 11 が露出するまでエッチングする工程と、シリコン酸化膜 7 を形成し、平坦化を行う工程と、選択エッチングにより露出するシリケートガラス膜をエッチングする工程(図 10)と、前記コンタクト部分のシリコン酸化膜 7 をエッチングして拡散層 5 を露出させる工程と、露出した前記拡散層 5 にコンタクトする電極配線 8 を形成する工程(図 11)とを有するものである。

【0029】

変形例

以上説明した実施例 1 及び実施例 2 の両者について、ボロン燐シリケートガラス(BPSG)膜の代わりに、燐シリケートガラス(PSG)膜、ボロンシリケートガラス(BPG)膜を用いて実施した。ス

It formed this silicon oxide film 11, with bias ECR-CVD method.

Or anneal doing silicon oxide film which was formed with LP-CVD it is possible also to form.

structure after interlayer insulation film 7 forming is shown in Figure 10, structure after top layer metallization 8 forming is shown in Figure 11.

【0026】

It is not different from Working Example 1, concerning other formation method, but it means that insulator film 7 between metallization layer just same film thickness as silicon oxide film 11 etching is done, at time of etching (With Working Example 1 suitable to silicon nitride film etching of Figure 8) of silicon oxide film 11 of contact portion.

【0027】

Therefore regarding this working example 2, as shown in Figure 11, as for insulator film 7 between metallization layer it is necessary to form beforehand that much thickly.

In Figure 10 thickness before etching is shown with T_1 , in Figure 11 thickness after etching is shown with T_2 .

Equal to amount of difference $T_1 - T_2$, is case that it has the necessity to form thickly.

【0028】

Namely this working example until on step. aforementioned silicate glass film 6 which forms silicate glass film 6 (Here BPSG film) of step. impurity doped which forms silicon oxide film 11 on semiconductor substrate 12 where the diffusion layer was formed, aforementioned silicon oxide film 11 exposes silicate glass 6 which is exposed in aforementioned opening with step. anisotropic etching which forms the resistance etching mask 10 which possesses opening in portion other than the contact portion for diffusion layer 5 step. silicon oxide film 7 which etching is done is formed, step which silicate glass film which is exposed with step. selective etching which does planarization etching is done (Figure 10) with, etching doing silicon oxide film 7 of the aforementioned contact portion, step. which exposes diffusion layer 5 it is something which possesses step (Figure 11) which forms electrode lead 8 which the contact is done in aforementioned diffusion layer 5 which is exposed.

【0029】

modified example

Above concerning both of Working Example 1 and Working Example 2 which is explained, in place of boron phosphorus silicate glass (BPSG) film, it executed making use of phosphorus silicate glass (PSG) film, boron silicate glass (BPG) film.

これにより同様の効果が得られた。

その他の不純物含有ガラスについても同様であった。

【0030】

ま 実施例では CVD シリコン酸化膜のサイドウォール付き MOS のラ フ
ォトレジストパターンの窓より小さいコンタクトホールをゲート電極間にセルフアラインで形成する場合を説明したが、このようなサイドウォールのない MOS トランジスタを集積形成する場合にも、本発明は有効である。

その場合もコンタクト電極配線がゲート電極と短絡する事態は当然防止す 必要が

そのためには例えばゲート電極の熱酸化膜でカバーする。

その他本発明はその趣旨を逸脱しない範囲で種々変形して実施することができる。

【0031】

【発明の効果】

以上説明したように、本発明によれば、コンタクトホール等の接続孔の不必要な広がりを抑制し、上層配線層の加工の余裕をとれるようにした半導体装置の製造方法を提供することができた。

【図面の簡単な説明】

【図1】

本発明の実施例1の基本構造を示す図である。

【図2】

実施例1の工程を示す図である(1)。

【図3】

実施例1の工程を示す図である(2)。

【図4】

実施例1の工程を示す図である(3)。

【図5】

実施例1の工程を示す図である(4)。

【図6】

実施例1の工程を示す図である(5)。

(BPG) film.

Because of this similar effect acquired.

It was similar concerning other impurity content glass.

【0030】

In addition with above-mentioned Working Example contact hole which is made by using window of photoresist pattern making use of sidewall equipped MOS transistor of CVD silicon oxide film the case where between gate electrode it forms with self-aligning was explained, but when it accumulates forms MOS transistor which does not have this kind of sidewall, this invention is effective.

In that case contact electrode lead gate electrode and as for situation which shunting is done has necessity to prevent properly.

For that cover it does with thermally oxidized film of for example gate electrode.

In addition various deforming gist in range which does not deviate, it can execute this invention.

【0031】

[Effects of the Invention]

As above explained, according to this invention, you controlled unnecessary spreading of contact hole or other connecting hole, room of processing top layer metallization layer manufacturing method of semiconductor device which it tries to be able to come off it is offered you were possible.

[Brief Explanation of the Drawing(s)]

[Figure 1]

It is a figure which shows basic structure of Working Example 1 of this invention.

[Figure 2]

It is a figure which shows step of Working Example 1, (1).

[Figure 3]

It is a figure which shows step of Working Example 1, (2).

[Figure 4]

It is a figure which shows step of Working Example 1, (3).

[Figure 5]

It is a figure which shows step of Working Example 1, (4).

[Figure 6]

It is a figure which shows step of Working Example 1, (5).

【図7】

実施例 1 の工程を示す図である(6)。

【図8】

実施例 1 の工程を示す図である(7)。

【図9】

実施例 1 の工程を示す図である(8)。

【図10】

実施例 2 の工程を示す図である(1)。

【図11】

実施例 2 の工程を示す図である(2)。

【図12】

従来技術の基本構造及びその問題点を示す図である。

【符号の説明】

1

ポリシリコン膜

10

レジスト

11

シリコン酸化膜

12

半導体基板(シリコン)

2

WSi 膜

3

オフセット酸化膜

4

サイドウォール

5

拡散層

6

BPSG 膜

7

配線層間絶縁膜

8

[Figure 7]

It is a figure which shows step of Working Example 1, (6).

[Figure 8]

It is a figure which shows step of Working Example 1, (7).

[Figure 9]

It is a figure which shows step of Working Example 1, (8).

[Figure 10]

It is a figure which shows step of Working Example 2, (1).

[Figure 11]

It is a figure which shows step of Working Example 2, (2).

[Figure 12]

It is a basic structure of Prior Art and a figure which shows its problem.

[Explanation of Symbols in Drawings]

1

polysilicon membrane

10

resist

11

silicon oxide film

12

semiconductor substrate (silicon substrate)

2

WSi film

3

offset oxidized film

4

sidewall

5

diffusion layer

6

BPSG film

7

Insulator film between metallization layer

8

JP1996181121A

1996-7-12

上層配線層

top layer metallization layer

9

9

シリコン酸化膜

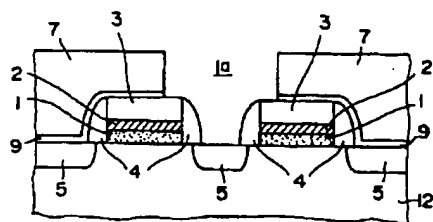
silicon oxide film

Drawings

[Figure 1]

【図1】

実施例1の構造

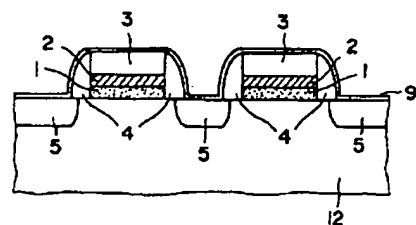


- 1 ポリシリコン膜
- 2 WSI膜
- 3 オフセット酸化膜
- 4 サイドウォール
- 5 拡散層
- 6 BPSG膜
- 7 層間絶縁膜
- 8 上層配線層
- 9 シリコン酸化膜
- 10 レジスト
- 1a 接触孔 (コンタクトホール)
- 12 半導体基板 (シリコン基板)

【図2】

[Figure 2]

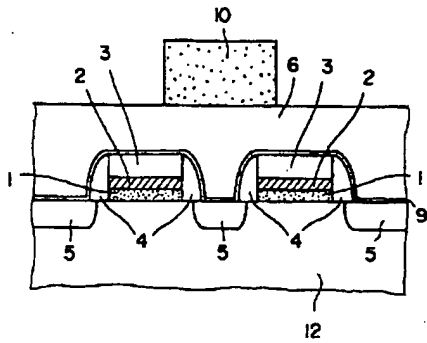
実施例1の工程 (1)



【図3】

[Figure 3]

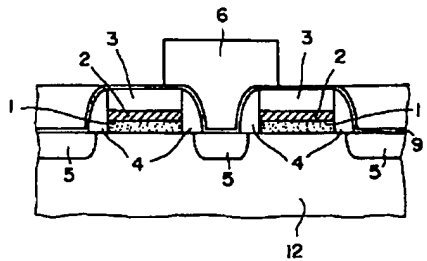
実施例1の工程 (2)



【図4】

[Figure 4]

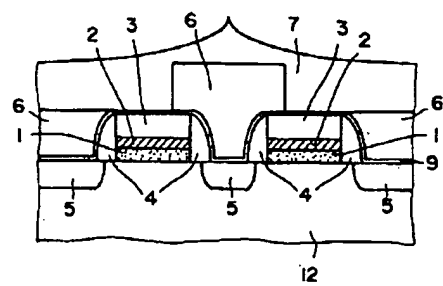
実施例1の工程 (3)



【図5】

[Figure 5]

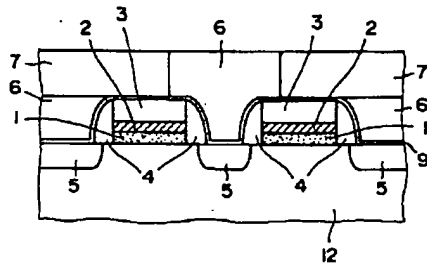
実施例1の工程 (4)



【図6】

[Figure 6]

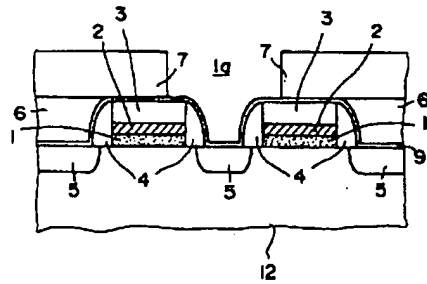
実施例1の工程 (5)



【図7】

[Figure 7]

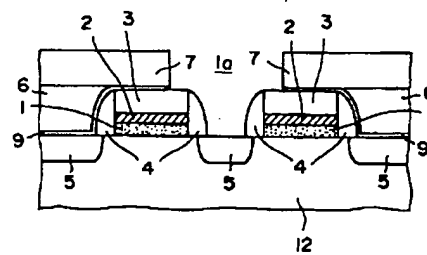
実施例1の工程 (6)



【図8】

[Figure 8]

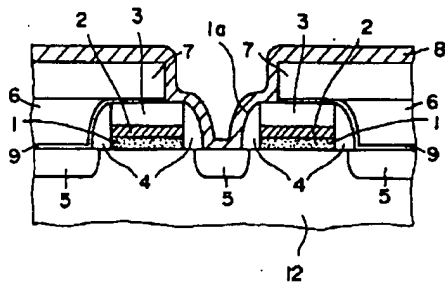
実施例1の工程 (7)



【図9】

[Figure 9]

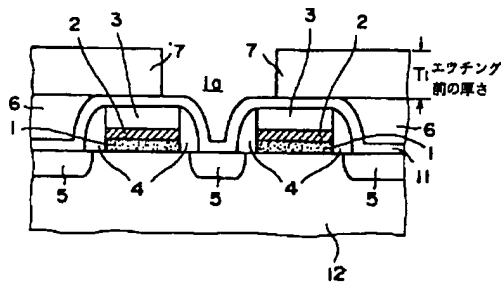
実施例1の工程 (8)



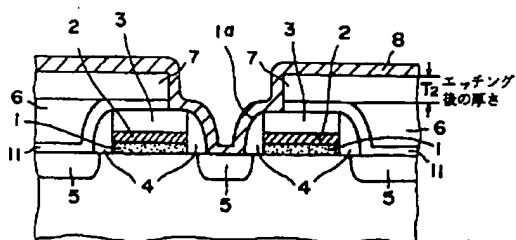
【図10】

[Figure 10]

実施例2の工程 (1)



実施例2の工程 (2)



- 1 ポリシリコン膜
- 2 WSi膜
- 3 オフセット酸化膜
- 4 サイドウォール
- 5 拡散層
- 6 BPSC膜
- 7 層間絶縁膜
- 8 上層配線層
- 9 シリコン窒化膜
- 10 レジスト
- 11 シリコン酸化膜
- 1a 接続孔 (コンタクトホール)

【図11】

[Figure 11]

1996-7-12

[Figure 12]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181121

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3065				
21/28		L		
21/768				
			H 0 1 L 21/ 302	J
			21/ 90	D
			審査請求 未請求	請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平6-325109

(22) 出願日 平成6年(1994)12月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 藤田 繁

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 高月 亨

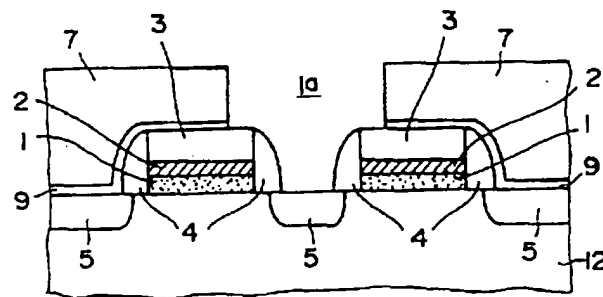
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 エッチングストップ層を用いてコンタクトホール等の接続孔を形成する際、接続孔の不必要な広がりを抑制し、上層配線層の加工の余裕をとれるようにした半導体装置の製造方法を提供する。

【構成】 拡散層5が形成された半導体基板12上にエッチングストップとなるSiN(又はSiO₂)膜9を形成し、不純物含有のシリケートガラス膜6(BPSG膜)を形成し、この膜6上に、拡散層5に対するコンタクト部分以外の部分に開口を有する耐エッチングマスク10(レジスト)を形成し、異方性エッチングにより開口に露出するガラス膜6をSiNが露出するまでエッチングし、Si酸化膜7を形成し、平坦化を行い、選択エッチングにより露出するガラス膜6をエッチングし、コンタクト部分のSiN膜等をエッチングして拡散層5を露出させ、露出した拡散層5にコンタクトする電極配線8を形成する。

実施例1の構造



- 1 ポリシリコン膜
- 2 WSi膜
- 3 オフセット酸化膜
- 4 サイドウォール
- 5 拡散層
- 6 BPSG膜
- 7 層間絶縁膜
- 8 上層配線層
- 9 シリコン窒化膜
- 10 レジスト
- 10a 接続孔 (コンタクトホール)
- 12 半導体基板 (シリコン基板)

1

【特許請求の範囲】

【請求項1】 拡散層が形成された半導体基板上にシリコン窒化膜を形成する工程と、

不純物ドーブのシリケートガラス膜を形成する工程と、

前記シリケートガラス膜上に前記拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成する工程と、

異方性エッチングにより前記開口に露出するシリケートガラスを前記シリコン窒化膜が露出するまでエッチングする工程と、

シリコン酸化膜を形成し、平坦化を行う工程と、

選択エッチングにより露出するシリケートガラス膜をエッチングする工程と、

前記コンタクト部分のシリコン窒化膜をエッチングして前記拡散層を露出させる工程と、

露出した前記拡散層にコンタクトする電極配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 拡散層が形成された半導体基板上にシリコン酸化膜を形成する工程と、

不純物ドーブのシリケートガラス膜を形成する工程と、

前記シリケートガラス膜上に前記拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成する工程と、

異方性エッチングにより前記開口に露出するシリケートガラスを前記シリコン酸化膜が露出するまでエッチングする工程と、

シリコン酸化膜を形成し、平坦化を行う工程と、

選択エッチングにより露出するシリケートガラス膜をエッチングする工程と、

前記コンタクト部分のシリコン酸化膜をエッチングして前記拡散層を露出させる工程と、

露出した前記拡散層にコンタクトする電極配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関する。本発明は、例えば、微細化集積化した半導体装置（例えばMOS集積回路）の製造方法として利用することができ、

【0002】

【従来技術及びその問題点】 従来より半導体装置の分野例えばMOS集積回路において、微細な電極配線コンタクトを実現する方法として、セルフアラインコンタクトが考案されている。その形成方法のひとつに、コンタクト形成エッチングを行うために等方性エッチングを行うとともに、シリコン窒化膜などをこのときのエッチングストッパとして使用する手法がある。これは、配線層間絶縁膜に使用するシリコン酸化膜と、エッチングストッ

2

パとしたシリコン窒化膜との選択比が大きくとれることを利用している。

【0003】 しかしその場合、図12に特に符号Aで示すように、層間絶縁膜7にサイドエッチングが生じ、それによりコンタクトホール1の開口面積が不要に大きくなるという問題が生じる。このため、コンタクトホール形成後に上層配線層を形成する場合の、その上層配線層の加工のマージンが小さくなってしまふ。

【0004】 なお図12中、符号1はポリシリコン膜、2はWSi膜、3はオフセット酸化膜で、これらによりポリサイドゲート構造が形成されている。符号4はサイドウォールである。符号5は拡散層である。符号6はBPSG膜、7は配線層間絶縁膜であり、ここに形成されるコンタクトホール1aが、図の如く広がってしまう。

【0005】

【発明の目的】 本発明は、コンタクトホール等の接続孔の不必要な広がりを抑制し、上層配線層の加工の余裕をとれるようにした半導体装置の製造方法を提供せんとするものである。

【0006】

【目的を達成するための手段】 本出願の請求項1の発明は、拡散層が形成された半導体基板上にシリコン窒化膜を形成する工程と、不純物ドーブのシリケートガラス膜を形成する工程と、前記シリケートガラス膜上に前記拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成する工程と、異方性エッチングにより前記開口に露出するシリケートガラスを前記シリコン窒化膜が露出するまでエッチングする工程と、シリコン酸化膜を形成し、平坦化を行う工程と、選択エッチングにより露出するシリケートガラス膜をエッチングする工程と、前記コンタクト部分のシリコン窒化膜をエッチングして前記拡散層を露出させる工程と、露出した前記拡散層にコンタクトする電極配線を形成する工程とを有することを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0007】 本出願の請求項2の発明は、拡散層が形成された半導体基板上にシリコン酸化膜を形成する工程と、不純物ドーブのシリケートガラス膜を形成する工程と、前記シリケートガラス膜上に前記拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成する工程と、異方性エッチングにより前記開口に露出するシリケートガラスを前記シリコン酸化膜が露出するまでエッチングする工程と、シリコン酸化膜を形成し、平坦化を行う工程と、選択エッチングにより露出するシリケートガラス膜をエッチングする工程と、前記コンタクト部分のシリコン酸化膜をエッチングして前記拡散層を露出させる工程と、露出した前記拡散層にコンタクトする電極配線を形成する工程とを有することを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0008】

【作用】本発明によれば、シリケートガラス膜上に拡散層に対するコンタクト部分以外の部分に開口を有する耐エッチングマスクを形成して、これをマスクにシリケートガラスをエッチングし、シリコン酸化膜を形成して平坦化を行い、その後選択エッチングにより露出するシリケートガラス膜をエッチングするようにしたので、コンタクトの不必要な広がりを防止して、半導体装置を製造することができる。

【0009】

【実施例】以下に、本発明の実施例を説明する。但し、当然のことではあるが、本発明は以下の実施例により限定を受けるものではない。

【0010】実施例1

本実施例は、半導体装置の製造方法の改良に関するもので、特に、拡散層に対する電極配線コンタクト部を改良した半導体装置の製造方法を提供するものである。以下に図1及び図2ないし図9を参照しながら、本実施例を説明する。

【0011】図1は、本実施例に係る半導体装置のコンタクト部形成後の構造を断面図で示すものである。図1中、符号1はポリシリコン膜、2はWSi膜、3はオフセット酸化膜で、これらによりゲート構造が形成されている。符号4はサイドウォールである。符号5は拡散層である。符号6はBPSG膜、7は配線層間絶縁膜であり、ここに接続孔1aであるコンタクトホールが形成される。

【0012】図2ないし図9はこの実施例によるMOS型半導体装置の製造工程を示す断面図である。

【0013】本実施例においては、拡散層5が形成された半導体基板12上にシリコン窒化膜9を形成する工程と（図2）、不純物ドーピングのシリケートガラス膜6（ここではBPSG膜）を形成する工程と（図3）、このシリケートガラス膜6上に、拡散層5に対するコンタクト部分以外の部分に開口を有する耐エッチングマスク10（ここではレジスト）を形成する工程と（図3）、異方性エッチングにより前記開口に露出するシリケートガラス6を前記シリコン窒化膜3が露出するまでエッチングする工程と（図4）、シリコン酸化膜7を形成し、平坦化を行う工程と（図5）、選択エッチングにより露出するシリケートガラス膜6（図6）をエッチングする工程と（図7）、前記コンタクト部分のシリコン窒化膜をエッチングして拡散層5を露出させる工程と（図8）、露出した拡散層5にコンタクトする電極配線8を形成する工程と（図9）を有するものである。

【0014】更に詳しくは、本実施例においては図2に示すようにシリコン基板12上にゲート酸化膜を介してポリシリコン膜1及びWSi膜2（ポリサイド構造）によりゲート電極を形成する。ゲート電極上にはこれと同時にパターン形成されるCVDシリコン酸化膜3が積層

されている（これはオフセット酸化膜と呼ばれている）。これら電極とオフセット酸化膜の側壁にはCVDシリコン酸化膜によるサイドウォール4を形成する。その後不純物のイオン注入によりソース、ドレイン拡散層5を形成する。その後エッチングストップパ膜としてシリコン窒化膜9をCVDにより形成する。

【0015】ここまでの工程は、従来技術におけると同様である。

【0016】その後図3に示すように不純物含有シリケートガラスとしてボロン燐シリケートガラス膜（BPSG膜）6を形成する。その後コンタクトホールと同じ大きさ（0.3～0.5μm）で、図3に示すような構造になるようにリソグラフィーによりレジストパターンニングを行い、レジストマスク10を形成する。

【0017】その後図4に示すようにBPSG膜6の異方性エッチング（RIE）を行う。ここでBPSG膜6のエッチングは図4に示すようにオフセット酸化膜3上のシリコン窒化膜9までをエッチングするようにする。その後レジストマスク10をはく離する。

【0018】その後図5に示すように配線層間絶縁膜7としてシリコン酸化膜を形成する。ここでシリコン酸化膜はバイアスECR-CVD法により形成する。このバイアスECR-CVDによって成膜されたシリコン酸化膜は熱酸化膜とほぼ変わらない膜質を有することがわかっている。

【0019】その後図6に示すようにCMP（ケミカル・メカニカル・ポリッシュ）などにより平坦化を行う。

【0020】その後図7に示すようにBPSG膜6のエッチングを行う。ここでBPSG膜6のエッチングは、無水HF選択エッチングプロセスを使用する。BPSG膜は吸湿性の膜なので無水HFと反応してエッチングが進むが、バイアスECR-CVD法により形成したシリコン酸化膜7はエッチングが進まない（この事実については、本発明者において詳細に検証済である）。このためエッチング後の形状は図7のようにBPSG膜6のみが選択的にエッチングされる。またコンタクトホール1aが不要に大きく開口することなくなる。

【0021】その後図8に示すようにコンタクト部分に露出するシリコン窒化膜9の異方性エッチング（RIE）を行う。この場合のシリコン窒化膜のエッチング条件は、シリコン酸化膜との選択比が大きくとれる条件で行う。

【0022】以上、本実施例ではコンタクトホールエッチングに無水HFによる選択エッチングを行うことにより、コンタクトホールを不要に大きくすることなく形成でき、前記従来の問題点を解決する。

【0023】本実施例によれば、コンタクトホールが不要に大きく広がらないために、上層配線層の加工が行い易くなる。具体的には上層配線層のリソグラフィーパターンニングのマージンが大きくなる、上層配線層のエッチ

5

ング時のマージンが大きくなる、本コンタクトホールに対する上層配線層のかぶり部分が小さくできるため、上層配線層のデザインに余裕が生じる、などの効果が得られる。

【0024】実施例2

次に上記実施例1の変形例を実施例2として、図10及び図11を参照しながら説明する。

【0025】実施例1ではエッチングストッパとしてシリコン窒化膜を使用した。本実施例ではエッチングストッパとして図10に示すようにシリコン酸化膜11を使用する。このシリコン酸化膜11は、バイアスECRCVD法により形成した。またはLP-CVDにより形成したシリコン酸化膜をアニールして形成することもできる。層間絶縁膜7形成後の構造を図10に示し、上層配線8形成後の構造を図11に示す。

【0026】その他の形成方法については実施例1と変わらないが、コンタクト部分のシリコン酸化膜11のエッチング（実施例1では図8のシリコン窒化膜エッチングに相当）の時には、配線層間絶縁膜7がシリコン酸化膜11と同じ膜厚だけエッチングされることになる。

【0027】従って本実施例2においては、図11に示すように配線層間絶縁膜7はあらかじめその分だけ厚く形成する必要がある。図10中エッチング前の厚さを T_1 で示し、図11に T_2 でエッチング後の厚さを示す。その差 $T_1 - T_2$ の分だけ、厚く形成しておく必要があるわけである。

【0028】即ち本実施例は、拡散層が形成された半導体基板12上にシリコン酸化膜11を形成する工程と、不純物ドーパのシリケートガラス膜6（ここではBPSG膜）を形成する工程と、前記シリケートガラス膜6上に、拡散層5に対するコンタクト部分以外の部分に開口を有する耐エッチングマスク10を形成する工程と、異方性エッチングにより前記開口に露出するシリケートガラス6を前記シリコン酸化膜11が露出するまでエッチングする工程と、シリコン酸化膜7を形成し、平坦化を行う工程と、選択エッチングにより露出するシリケートガラス膜をエッチングする工程（図10）と、前記コンタクト部分のシリコン酸化膜7をエッチングして拡散層5を露出させる工程と、露出した前記拡散層5にコンタクトする電極配線8を形成する工程（図11）とを有するものである。

【0029】変形例

以上説明した実施例1及び実施例2の両者について、ボロン燐シリケートガラス（BPSG）膜の代わりに、燐シリケートガラス（PSG）膜、ボロンシリケートガラス（BPG）膜を用いて実施した。これにより同様の効

6

果が得られた。その他の不純物含有ガラスについても同様であった。

【0030】また上記実施例ではCVDシリコン酸化膜のサイドウォール付きのMOSトランジスタを用いてフォトレジストパターン窓より小さいコンタクトホールをゲート電極間にセルフアラインで形成する場合を説明したが、このようなサイドウォールのないMOSトランジスタを集積形成する場合にも、本発明は有効である。その場合もコンタクト電極配線がゲート電極と短絡する事態は当然防止する必要がある。そのためには例えばゲート電極の熱酸化膜でカバーする。その他本発明はその趣旨を逸脱しない範囲で種々変形して実施することができる。

【0031】

【発明の効果】以上説明したように、本発明によれば、コンタクトホール等の接続孔の不必要な広がりを抑制し、上層配線層の加工の余裕をとれるようにした半導体装置の製造方法を提供することができた。

【図面の簡単な説明】

【図1】 本発明の実施例1の基本構造を示す図である。

【図2】 実施例1の工程を示す図である（1）。

【図3】 実施例1の工程を示す図である（2）。

【図4】 実施例1の工程を示す図である（3）。

【図5】 実施例1の工程を示す図である（4）。

【図6】 実施例1の工程を示す図である（5）。

【図7】 実施例1の工程を示す図である（6）。

【図8】 実施例1の工程を示す図である（7）。

【図9】 実施例1の工程を示す図である（8）。

【図10】 実施例2の工程を示す図である（1）。

【図11】 実施例2の工程を示す図である（2）。

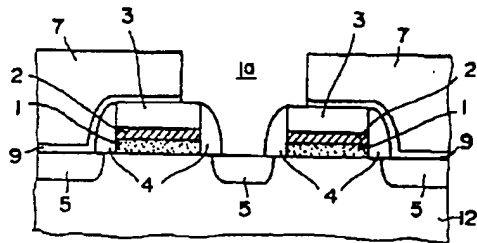
【図12】 従来技術の基本構造及びその問題点を示す図である。

【符号の説明】

- 1 ポリシリコン膜
- 2 WS_i膜
- 3 オフセット酸化膜
- 4 サイドウォール
- 5 拡散層
- 6 BPSG膜
- 7 配線層間絶縁膜
- 8 上層配線層
- 9 シリコン酸化膜
- 10 レジスト
- 11 シリコン酸化膜
- 12 半導体基板（シリコン基板）

【図1】

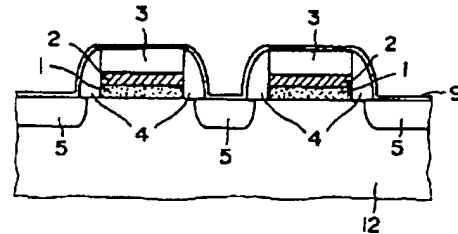
実施例1の構造



- 1 ポリシリコン膜
- 2 WSI膜
- 3 オフセット酸化膜
- 4 サイドウォール
- 5 拡散層
- 6 BPSG膜
- 7 層間絶縁膜
- 8 上層配線層
- 9 シリコン酸化膜
- 10 レジスト
- 10a 接続孔 (コンタクトホール)
- 12 半導体基板 (シリコン基板)

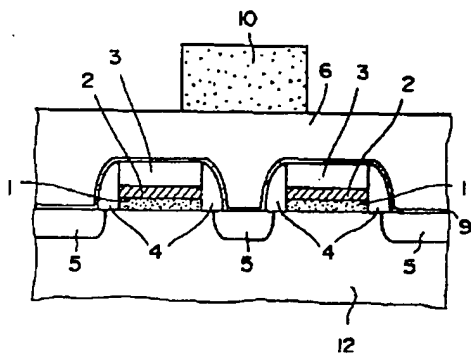
【図2】

実施例1の工程 (1)



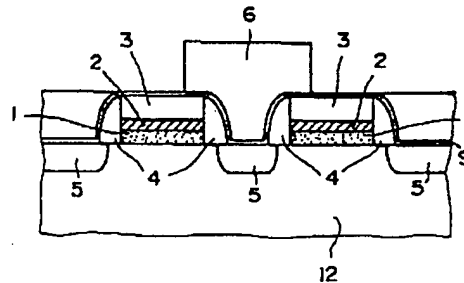
【図3】

実施例1の工程 (2)



【図4】

実施例1の工程 (3)

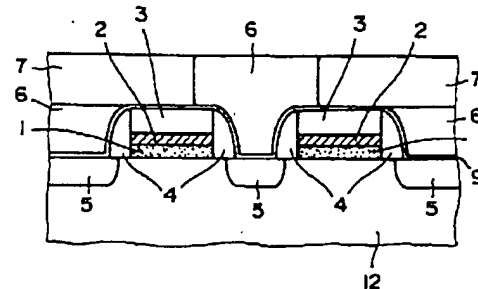
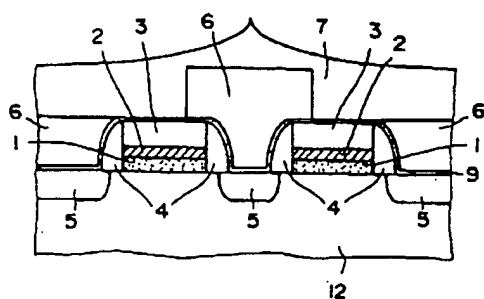


【図6】

実施例1の工程 (5)

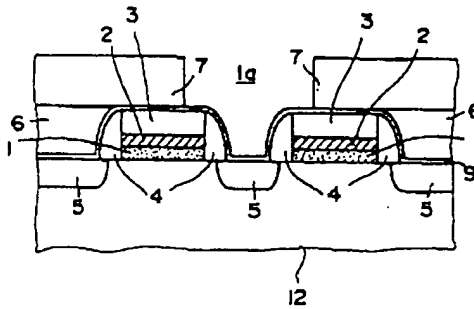
【図5】

実施例1の工程 (4)



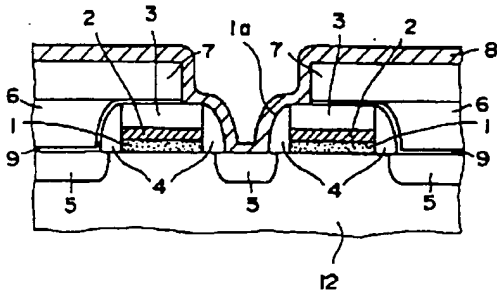
【図7】

実施例1の工程 (6)



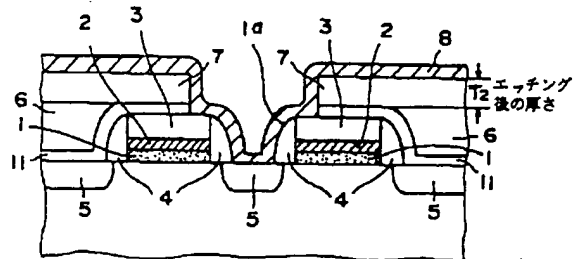
【図9】

実施例1の工程 (8)



【図11】

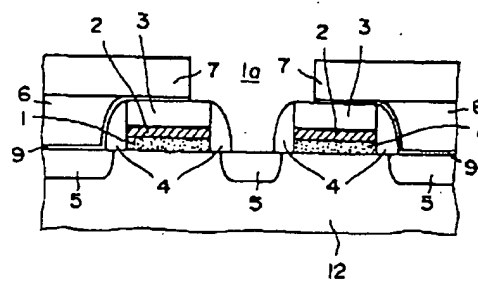
実施例2の工程 (2)



- 1 ポリシリコン膜
- 2 WSi膜
- 3 オフセット酸化膜
- 4 サイドウォール
- 5 拡散層
- 6 BPSG膜
- 7 層間絶縁膜
- 8 上層絶縁膜
- 9 シリコン窒化膜
- 10 レジスト
- 11 シリコン酸化膜
- 1a 接触孔 (コンタクトホール)

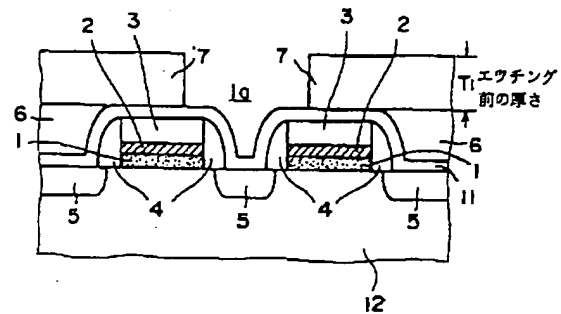
【図8】

実施例1の工程 (7)



【図10】

実施例2の工程 (1)



【図12】

従来技術

